

## 明 細 書

## 信号処理装置、信号処理方法

5

## 技術分野

本発明は、例えばビデオ信号等についてのゲイン設定を主体とした信号処理装置及び信号処理方法に関する。

## 10 背景技術

画像表示装置をはじめとして、ビデオ信号処理を伴う機器の分野では、D S P (Digital Signal Processor)といわれるチップ、デバイスの普及などを背景として、デジタル信号処理によってビデオ信号処理を行うことが一般的になってきている。

15 図6は、上記したD S Pを備えてビデオ信号処理を行う機器の例として、L C D (Liquid Crystal Display)を表示デバイスとして備える画像表示装置の構成を示している。

この図に示すD S P 1は、例えば1つのチップ、デバイスとされて、内部に形成される信号処理部11によって、入力されたデジタルビデオ信号について所要の信号処理を実行する。ここでの信号処理は、デジタル信号処理となる。そして、このD S P 1は、信号処理部11により信号処理を施したデジタルビデオ信号について、D/Aコンバータ12によりアナログビデオ信号に変換したうえで、端子T1から外部に出力するようにされている。

25 この場合、D S P 1の端子T1は、ここでは例えばD S P 1と同様に1つのデバイスとされるL C D駆動回路2の端子T4と接続されており、

これにより、DSP 1 の端子 T 1 から出力されたアナログビデオ信号は、端子 T 4 を介して LCD 駆動回路 2 に対して入力される。

LCD 駆動回路 2 では、入力されたアナログビデオ信号を基として、LCD 3 を表示駆動するための駆動信号を生成し、端子 T 5 から出力する。この場合、端子 T 5 は、表示デバイスである LCD 3 の端子 T 6 と接続されており、LCD 3 に対しては、この端子 T 6 から駆動信号を入力するようにされる。

LCD 3 では、入力された駆動信号により画素セルを駆動する。これにより、LCD 3 において、ビデオ信号に応じた画像が表示されることになる。

ところで、例えば図 6 に示す構成の画像表示装置に対して、新規なビデオ信号処理機能を付加する方向での変更が必要になったとする。このような変更に対応するためには、先ず、DSP 1 を作り直すことが考えられる。しかしながら、DSP 1 の作り直しには、化初日、製造費などのコストがかかる。このために、上記した変更がさほど大規模なものではないような場合には、例えばその変更によるユーザなどへの訴求力などの効果に対して、DSP 1 を作り直すことによるコストアップが見合わなくなるなどのデメリットがでてくる。

そこで、このような場合には、新規なビデオ信号処理機能に対応する外付けの回路（チップ、デバイス）を実装するという手法を採るようにされる。また、このような外付けの回路について、アナログによるビデオ信号処理を実行するアナログ回路の構成とすると、回路規模が大きくなり、また、信号レベルのばらつきなども拡大してしまうなどのデメリットがでてくるので、デジタル信号処理の構成とすることが好ましくなってくる。

後者の手法のようにして、デジタル信号処理の構成を採る外付けの回

路（チップ、デバイス）を実装した画像表示装置を図 7 に示す。なお、図 6 と同一部分には同一符号を付して説明を省略する。

この図に示す画像表示装置では、DSP 1 と LCD 駆動回路 3 との間に、外付けのデジタル信号処理回路（チップ、デバイス）である、信号  
5 処理ブロック 4 を設けることとしている。

この信号処理ブロック 4 の端子 T 2 は、DSP 1 の端子 T 1 と接続されていることで、DSP 1 により信号処理が施された後のアナログビデオ信号が入力される。

信号処理ブロック 4 の内部構成としては、先ず、上記のようにして端  
10 子 T 2 を介して入力されるアナログビデオ信号について A/D コンバータ 2 1 によりデジタルビデオ信号に変換して、内部でのデジタル信号処理に対応させる。そして、信号処理部 2 2 により、デジタル信号処理によって、特定機能に対応するビデオ信号処理を実行する。そして、このようにして信号処理が施されたデジタルビデオ信号について、LCD 駆  
15 動回路 2 への入力に対応させるために D/A コンバータ 2 3 によりアナログビデオ信号に変換したうえで、端子 T 3 から出力する。端子 T 3 は、LCD 駆動回路 2 の端子 T 4 と接続されており、これにより、LCD 駆動回路 2 には、アナログビデオ信号が入力される（特開平 1 0 - 3 3 6 5 4 7 号公報参照。）。

ところで、上記図 7 に示した画像表示装置における信号処理ブロック  
20 4 は、デジタル信号処理により内部でビデオ信号処理を実行しながらも、アナログビデオ信号の入出力に対応するために、A/D コンバータ 2 1 と D/A コンバータ 2 3 のセルを備えることになる。また、図 7 に示す画像表示装置においては、DSP 1 内にも D/A コンバータ 1 2 のセル  
25 が備えられる。従って、図 7 に示す画像表示装置のシステム全体としては、3 つの A/D コンバータ或いは D/A コンバータのセルを備えてい

ることになる。

現実的なこととして、このようなデバイスにおける A/D コンバータ  
或いは D/A コンバータのセルには、入出力の信号レベル（デジタル信  
号の場合にはデータ値）にばらつき（誤差）のあることが分かっている。

5      このような A/D コンバータ或いは D/A コンバータのセルのばらつ  
きは、個々は一定範囲内にあるように保証されている。しかしながら、  
図 7 に示すようにして、A/D コンバータ或いは D/A コンバータのセ  
ルが直列的に接続される数が増加してくれば、総合的なデータ値（信号  
レベル）の誤差は拡大していくことになる。このようにして誤差がおお  
10   きくなっていくと、例えばデータ値（レベル）がオーバーフロー（過大  
入力）の傾向になったり、あるいは信号レベルが過小となって、本来の  
ダイナミックレンジを有効に利用できなくなってくる。

上記したことについて、図 8 A, B, C を参照して説明する。

15    まず、図 8 A には、DSP 1 内の D/A コンバータ 1 2 のダイナミッ  
クレンジ（最大出力レベル）と、信号処理ブロック 4 の A/D コンバー  
タ 2 1 とのダイナミックレンジ（最大入力レベル）について同等である  
場合を示している。

20    D/A コンバータ 1 2 の入力信号 S 1（図 7 では信号処理部 1 1 の出  
力となる）のデータ値としては、A/D コンバータ 2 1 のダイナミック  
レンジ DR に対応するレベル L<sub>dr</sub>を設定している。そして、D/A コン  
バータ 1 2 により入力信号 S 1 をアナログ信号に変換して得られる信号  
S 2 としては、この場合、D/A コンバータ 1 2 と A/D コンバータ 2  
1 のダイナミックレンジが同じであることで、レベル L<sub>dr</sub>が得られてい  
る。

25    つまり、この場合には、最大値の入力信号がオーバーフローもせず、  
かつ、そのまま最大値として維持されているという、理想的にダイナミ

ックレンジが確保されている状態にある。

これに対して、図 8 B には、誤差のばらつきの関係として、DSP 1 内の D/A コンバータ 12 のダイナミックレンジ（最大出力レベル）の  
5 ほうが、信号処理ブロック 4 の A/D コンバータ 21 のダイナミックレンジ（最大入力レベル）よりも大きい場合を示している。

この場合、D/A コンバータ 12 のダイナミックレンジのほうが大きいことに対応して、レベル  $L_{dr}$  の入力信号  $S_1$  をアナログ信号に変換した信号  $S_2$  としては、図示するようにして、レベル  $L_{dr}$  よりも高いレベル  $L_a$  により出力される。

10 この場合、信号  $S_2$  が A/D コンバータ 21 に入力されたとしても、信号  $S_2$  のレベルは、A/D コンバータ 21 のダイナミックレンジを越えていることから、A/D コンバータ 21 から出力される信号としては、データ値がオーバーフローしてしまうことになる。

また、図 8 C に、誤差のばらつきの関係として、DSP 1 内の D/A  
15 コンバータ 12 のダイナミックレンジ（最大出力レベル）のほうが、信号処理ブロック 4 の A/D コンバータ 21 のダイナミックレンジ（最大入力レベル）よりも小さい場合を示す。

この場合、D/A コンバータ 12 のダイナミックレンジのほうが小さいことに対応して、レベル  $L_{dr}$  の入力信号  $S_1$  をアナログ信号に変換した信号  $S_2$  は、図示するようにして、レベル  $L_{dr}$  よりも低いレベル  $L_b$   
20 により出力される。

この信号  $S_2$  のレベルは、本来はレベル  $L_{dr}$  であるべきなのにかかわらず、D/A コンバータ 12 のダイナミックレンジ  $DR$  に対して、レベル  $L_{dr} - L_b$  のレベル差分に応じて小さなものとなっている。つまり、  
25 ダイナミックレンジを十分に確保できていない状態となっている。

このようにして、D/A コンバータ、A/D コンバータセルの誤差の

ばらつきは、ダイナミックレンジが適切でなくなるという状態として現れるが、これは例えばソラリゼーションの劣化などの現象として現れ、画質を損なう要因となる。

## 5 発明の開示

そこで本発明は上記した課題を考慮して、信号処理装置として次のように構成する。

本発明による信号処理装置は、第1のデジタル信号処理部と、第2のデジタル信号処理部を有する。

10     そして、第1のデジタル信号処理部は、所定のデジタル信号処理が施されたデジタル信号を入力して、設定されたゲイン値に応じたゲインを与えて出力する第1のゲイン調整手段と、この第1ゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、第1のデジタル信号処理部から出力する第1のデジタルーアナログ変換手段とを備える。

15     また、第2のデジタル信号処理部は、第1のデジタル信号処理部のデジタルーアナログ変換手段から出力されるアナログ信号をデジタル信号に変換するアナログーデジタル変換手段と、アナログーデジタル変換手段から出力されるデジタル信号について所定のデジタル信号処理を施すデジタル信号処理手段と、このデジタル信号処理手段から出力されるデ  
20     ジタル信号を入力して、設定されたゲイン値に応じたゲインを与えて出力するもので、第1のゲイン調整手段よりも低いゲイン感度が設定される第2のゲイン調整手段と、この第2のゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、第2のデジタル信号処理部から出力する第2のデジタルーアナログ変換手段とを備える。

25     そのうえで、第1のデジタルーアナログ変換手段と、アナログーデジタル変換手段は、第1のデジタルーアナログ変換手段における信号レベ



ルの誤差ばらつき範囲の最小値が、アナログーデジタル変換手段における信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるようにして設定される。

そしてさらに、第2のゲイン調整手段から出力されるデジタル信号の  
5 レベル値を検出する検出手段と、第1のデジタル信号処理部において最大値として扱われるレベルの信号を第1のゲイン調整手段に対して入力させた状態のもとで、検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、第1のゲイン調整手段に対してゲイン値を設定する第1のゲイン設定手段と、第1のゲイン設定手段による  
10 ゲイン値の設定が完了した後において、第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手段により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲイン調整手段に対してゲイン値を設定する第2のゲイン設定手段とを備えることとした。

15 また、信号処理方法としては次のように構成することとした。

まず、本発明の信号処理方法としては、第1のデジタル信号処理と、第2のデジタル信号処理を実行するものとされる。

そして、第1のデジタル信号処理は、所定のデジタル信号処理が施されたデジタル信号を入力して、設定されたゲイン値に応じたゲインを与える第1のゲイン調整手順と、この第1ゲイン調整手順により得られる  
20 デジタル信号をアナログ信号に変換して、第1のデジタル信号処理の出力とする第1のデジタルーアナログ変換手順とを含むようにされる。

また、第2のデジタル信号処理は、第1のデジタル信号処理に含まれるデジタルーアナログ変換手順により得られるアナログ信号をデジタル  
25 信号に変換するアナログーデジタル変換手順と、アナログーデジタル変換手順により得られるデジタル信号について所定のデジタル信号処理を

施すデジタル信号処理手順と、このデジタル信号処理手順により得られるデジタル信号を入力して、設定されたゲイン値に応じて、第1のゲイン調整手段より低いゲイン感度によりゲインを与える第2のゲイン調整手順と、第2のゲイン調整手順により得られるデジタル信号をアナログ信号に変換して、第2のデジタル信号処理部から出力する第2のデジタルルーアナログ変換手順とを含むようにされる。

そしてさらに、第1のデジタルルーアナログ変換手順に対応するデバイスにおける信号レベルの誤差ばらつき範囲の最小値が、アナログーデジタル変換手順に対応するデバイスのける信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるように設定する設定手順と、第2のゲイン調整手順により得られるデジタル信号のレベル値を検出する検出手順と、第1のデジタル信号処理において最大値として扱われるレベルの信号を第1のゲイン調整手順に対して入力させた状態のもとで、検出手順により検出されるレベル値が規定値未満の範囲で最大値となるようにして、第1のゲイン調整手順に対してゲイン値を設定する第1のゲイン設定手順と、第1のゲイン設定手順によるゲイン値の設定が完了した後において、第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲイン調整手順に対してゲイン値を設定する第2のゲイン設定手順とを実行するように構成することとした。

上記各構成では、第1のデジタル信号処理部（第1のデジタル信号処理）と第2のデジタル信号処理部（第2のデジタル信号処理）とによるデジタル信号処理の系が直列的に行われ、かつ、第1のデジタル信号処理部（第1のデジタル信号処理）と第2のデジタル信号処理部（第2のデジタル信号処理）との間には、D/A変換機能、A/D変換機能が介在



することから分かるようにアナログ信号の伝送となっている。

そして、このような構成におけるゲイン設定を行うのにあたり、先ず、第1のデジタル信号処理部側のD/A変換機能（第1のデジタルーアナログ変換手段／手順）の信号レベルの誤差ばらつき範囲の最小値が、第2のデジタル信号処理部側のA/D変換機能の信号レベルの誤差ばらつき範囲の最大値よりも大きくなるように、その大小関係を設定するようにされる。これにより、第1のデジタル信号処理部側のD/A変換機能側から、第2のデジタル信号処理部側のA/D変換機能側の入力がレンジ不足の状態となることが確実にないようにされる。

そのうえで、先ず、第1のゲイン調整手段／手順に対し、所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手段／手順により検出されるレベル値が規定値未満の範囲で最大値となるようにして、第1のゲイン調整手段／手順に対するゲイン値を設定することとしている。そして、このようにして第1のゲイン調整手段／手順に対するゲイン値設定が完了した後において、同じく第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、検出手段／手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、第2のゲイン調整手段／手順に対してゲイン値を設定するようにされる。

ここで、第1、第2のゲイン調整手段／手順に対するゲイン設定にあたっては、これら第1、第2のゲイン調整手段／手順によるゲイン設定を経たデジタル信号のレベル値に基づいている。これにより、上記のようにしてゲイン設定された状態では、第1のデジタル信号処理部側のD/A変換機能と、第2のデジタル信号処理部側のA/D変換機能とについての信号レベルの誤差ばらつきにかかわらず、最大限のダイナミックレンジが得られる状態が得られているものとなる。

## 図面の簡単な説明

図 1 は、本発明の実施の形態としての画像表示装置の構成例を示すブロック図である。

5 図 2 A, B, C は、第 1 の実施の形態としてのゲイン設定の手順例を模式的に示す図である。

図 3 は、第 1 の実施の形態としてのゲイン設定のための処理動作を示すフローチャートである。

10 図 4 A, B, C, D は、第 1 の実施の形態としてのゲイン設定の手順例を模式的に示す図である。

図 5 は、第 1 の実施の形態としてのゲイン設定のための処理動作を示すフローチャートである。

図 6 は、DSP を備えてビデオ信号処理を実行する従来機器とされる、画像表示装置の構成例を示すブロック図である。

15 図 7 は、図 6 に示す画像表示装置に対して、新規に信号処理ブロックを追加した構成を示すブロック図である。

図 8 A, B, C は、図 7 に示す画像表示装置における、D/A コンバータ、A/D コンバータセルの信号の誤差ばらつきに起因してダイナミックレンジが劣化する事象を説明するための図である。

20

## 発明を実施するための最良の形態

図 1 は、本発明の実施の形態としての画像表示装置を示している。この画像表示装置において、本発明に基づいた信号処理装置としての構成が備えられる。本実施の形態としては、ゲイン設定のための処理手順の相違により第 1 の実施の形態と第 2 の実施の形態とを挙げて説明するが、  
25 この図 1 に示す構成は、第 1 の実施の形態と第 2 の実施の形態とで共通

となる。

この図に示す画像表示装置の信号処理系は、大別して、DSP 1、信号処理ブロック 4、LCD 駆動回路 2、LCD 3 を備える。

これら DSP 1、信号処理ブロック 4、LCD 駆動回路 2、LCD 3 は、それぞれが、独立したチップ、デバイスとして実装される。そのうえで、DSP 1 と信号処理ブロック 4 については端子 T 1 - T 2 により接続し、信号処理ブロック 4 と LCD 駆動回路 2 については端子 T 3 - T 4 により接続し、LCD 駆動回路 2 と LCD 3 とについては端子 T 5 - T 6 と接続するようにしている。

この場合の DSP 1 の内部としては、信号処理部 1 1、第 1 G C A 1 3、D/A コンバータ 1 2 を形成しているものとされる。信号処理部 1 1 では、画像表示のためのデジタルビデオ信号を入力して所要の各種のデジタル信号処理を施して得られた信号 S 0 (デジタルビデオ信号の形式である) を、第 1 G C A (Gain Control Amplifier) 1 3 に対して出力する。第 1 G C A 1 3 では、マイクロコンピュータ 5 が出力する制御信号により指示されたゲイン値 G 1 を設定し、入力されたデジタルビデオ信号 (S 0) のゲインを可変して、信号 S 1 として出力するようにされる。なお、この第 1 G C A 1 3 としては、デジタル信号についてのゲインを調整するものとされるので、例えばデジタル値を対象とする乗算器などにより構成することができる。

第 1 G C A 1 3 から出力された信号 S 1 は、D/A コンバータ 1 2 に対して入力され、アナログビデオ信号である信号 S 2 に変換され、端子 T 1 に出力される。この端子 T 1 に出力された信号 2 は、信号処理ブロック 4 の端子 T 2 に入力される。

この図 1 に示す画像表示装置は、現行以前においては、例えば DSP 1、LCD 2、及び LCD 3 とにより構成されていた。つまり、信号処

理ブロック 4 を省略した構成とされている。この構成においては、D S P 1 の端子 T 1 と L C D 駆動回路 2 の端子 T 4 とを接続しており、D S P 1 から出力されたアナログビデオ信号である信号 S 2 を、そのまま L C D 駆動回路 2 に対して入力させることとしていた。D S P 1 がアナログのビデオ信号を出力する仕様とされているのは、上記のように、本来は、その出力を L C D 駆動回路 2 に対して入力させることを前提としていたからである。

本実施の形態の信号処理ブロック 4 は、この現行以前の画像表示装置に対して新規な所定の信号処理機能を与えるために追加的に実装された、外付け回路としてのチップ、デバイスである。つまり、信号処理ブロック 4 は、上記した新規な所定の信号処理機能を実現するための信号処理を実行可能に構成されている。

上記現行以前の画像表示装置に対し、新規な所定の信号処理機能を与えようとした場合、1 つには、D S P 1 そのものを設計し直して製造し、これを実装するということが考えられるが、これは、例えば開発費用であるとか、再製造のための費用などが必要となる。

例えば、この新規な信号処理機能の付加が、画像表示装置のシステム全体としては小規模な変更であるようなケースでは、D S P 1 の再製造、再実装のコストに対して、信号処理機能の付加による効果が見合わずに、コスト的に不利となる状況となることがある。このような場合には、新規な信号処理機能を有する外付けの回路を、現行以前の構成に対して追加的に付加するようにして構成することのほうが有利となる。本実施の形態は、このようなケースにあてはまるもので、信号処理ブロック 4 は、現行以前の画像表示装置の構成に対して追加的に実装されたものである。

また、このような外付けの回路として、アナログ回路によるビデオ信号処理の構成とすると、回路規模が大きくなり、また、信号レベルのば

らつきなども拡大してしまうなどの不都合が生じる。従って、このような外付けの回路としても、デジタル信号処理の構成とすることが好ましいということになる。このような観点から、信号処理ブロック 4 としても、デジタル信号処理とする構成が採られている。つまり、信号処理ブロック 4 も、単体の DSP のチップ、デバイスとして構成される。

信号処理ブロック 4 では、上記のようにしてデジタル信号処理を実行するが、DSP 1 の端子 T1 から入力されるビデオ信号 (S2) はアナログの形式となっている。そこで、信号処理ブロック 4 においては、端子 T2 から入力されてきたアナログのビデオ信号 (S2) を、A/D コンバータ 21 によりデジタルのビデオ信号 (S3) に再変換して、信号処理部 22 に入力させる。

信号処理部 22 においては、入力されたデジタルビデオ信号 (S3) について、少なくとも、先に述べた新規な信号処理機能に対応するデジタル信号処理を施して、信号 S4 として出力する。この信号 S4 は、第 2 GCA 24 に入力される。

第 2 GCA 24 は、先に説明した第 1 GCA 13 と同様に、入力されたデジタルビデオ信号 (S4) について、マイクロコンピュータ 5 が指示するゲイン値 G2 に応じて設定したゲインを与えて、信号 S5 として出力する。なお、この第 2 GCA 24 についても、乗算器などにより構成することができる。ただし、後述するようにして第 1 GCA 13 と第 2 GCA 24 のゲイン設定を行う都合上、第 1 GCA 13 は、第 2 GCA 24 よりも大きなゲイン感度が設定される。

第 2 GCA 24 の出力であるデジタルビデオ信号 (S5) は、D/A コンバータ 23 に対して入力される。また、分岐するようにして、マイクロコンピュータ 5 にも入力されるようになっている。

信号処理ブロック 4 のビデオ信号出力を受ける LCD 駆動回路 2 は、



アナログ信号を入力する仕様となっている。そこで信号処理ブロック 4 では、D/A コンバータ 23 により、入力されたデジタルビデオ信号 (S5) をアナログのビデオ信号に変換して、端子 T3 を介して、LCD 駆動回路 2 の端子 T4 に対して入力させる。

- 5 LCD 駆動回路 2 では、入力されたアナログのビデオ信号を基として、LCD 3 を表示駆動するための駆動信号を生成し、端子 T5 を介して LCD 3 の端子 T6 に入力する。

LCD 3 では、入力された駆動信号により画素セルを駆動する。これにより、LCD 3 において、ビデオ信号に応じた画像が表示される。

- 10 マイクロコンピュータ 5 は、CPU (Central Processing Unit)、ROM、RAMなどを備えて構成されるもので、例えばROMにインストールされるようにして記憶されたプログラムをCPUが実行することで、画像表示装置についての制御処理を実行する。本実施の形態においては、このマイクロコンピュータ 5 は、以降説明するようにして、第 1 GCA  
15 13 及び第 2 GCA についてのゲイン調整を行うようにされる。

図 1 に示す構成の画像表示装置においては、信号処理系において、3 つの D/A コンバータ或いは A/D コンバータのセルが直列的に備えられている。D/A コンバータ或いは A/D コンバータのセルについては、信号入出力レベルについて、定格レベルに対する誤差のばらつきがある。

- 20 つまり、入力に関すれば、仕様で決められている最大許容入力レベル (データ値) が A であるとしても、実際には、A より大きなレベル (データ値) が入力可能であったり、また、A よりも小さいレベル (データ値) が実際の最大許容入力レベルであり、実際に A を入力すればレベルオーバー (オーバーフロー) となるようにして誤差が生じる。また、出  
25 力についても、最大レベルの入力信号に応答する仕様上の最大出力レベル (データ値) が B であるとしても、実際には、B より大きなレベルに

より出力されたり、また、Bよりも小さいレベルで出力されてしまったりするような誤差が生じる。さらに、このような入出力レベルの誤差量が、セルごとにばらついているものである。

そして、このような誤差、及びそのばらつきがビデオ信号のダイナミックレンジが不適正となる要因であることは、先に述べたとおりである。

本実施の形態においては、D/Aコンバータ或いはA/Dコンバータのセルのばらつきの存在にかかわらずビデオ信号のダイナミックレンジが適正なものとなるように、第1 G C A 1 3 及び第2 G C A 2 4 を設けたうえで、これらの第1 G C A 1 3 及び第2 G C A 2 4 についてのゲイン設定を行うようにされる。

なお、このゲイン設定は、例えば製造工程における調整段階において行われるもので、基本的には、一度設定が完了すれば、以降は、そのときのゲイン値が固定設定される。ただし、本実施の形態としてのゲイン設定をマイクロコンピュータ5が実行するタイミングとしては、特に限定されるものではなく、例えば電源起動時に対応するタイミングで毎回、或いは所定回数ごと、あるいは一定時間間隔ごとに行われるようにしてもよいものである。このようにして工場出荷時以降の機会でも或る一定頻度でゲイン設定が行われるようにすれば、例えば経時変化や、何らかの要因による信号レベルのばらつきの変化に適応できる。

図2 A, B, Cは、本実施の形態において行われる、第1の実施の形態としての第1 G C A 1 3 及び第2 G C A 2 4 についてのゲイン設定の手順を模式的に示している。

ここで、上記もしているように、DSP 1 内のD/Aコンバータ1 2、及び信号処理ブロック4内のA/Dコンバータ2 1は、信号レベルの誤差ばらつきが存在する。また、このような誤差ばらつきの範囲、つまり誤差の最大値/最小値とについては、デバイスごとのスペックとしてあ

らかじめ把握されている。さらには、この誤差ばらつきの範囲（最大値／最小値）は、外付けの抵抗などの素子の定数に応じて可変設定することができる。

そこで、本実施の形態においては、実際にゲイン調整を行うのに先立  
5 って、その準備段階として、D/Aコンバータ12の誤差ばらつきの範囲と、A/Dコンバータ21の誤差ばらつきの範囲の関係について、次のように設定する。

つまり、先ず、図2Aに示すように、D/Aコンバータ12の誤差ばらつきの範囲について最大値L1max、最小値L1minにより表すこととする。  
10 また、A/Dコンバータ21の誤差ばらつきの範囲についても、最大値L2max、最小値L2minにより表すこととする。そして、同じ図2Aに示すように、D/Aコンバータ12の最小値L1minについて、A/Dコンバータ21の最大値L2max以上（若しくは最大値L2maxよりも高い値）となるように設定する。

15 このようにして設定を行っただけで、本実施の形態においては、以降の調整のための信号源として、DSP1の信号処理部11から出力される信号、つまり、第1GCA13に対する入力信号S0について、DSP1が扱う信号レベルとして最大であると規定されるレベルLs1に対応するデータ値を設定する。例えば本実施の形態では、このレベルLs1の  
20 信号として、いわゆる白レベルに対応する100IREの信号を用いるようにされる。

また、以降のゲイン調整を行うのにあたって、第1GCA13、及び第2GCAについては、ともに初期値として1倍のゲインを設定する。

この第1GCA13、及び第2GCAの各ゲイン値G1、G2が初期  
25 値を取っている状態では、先ず、DSP1の信号処理部11から出力される信号S0と、第1GCA13からA/Dコンバータ21に入力され

る信号  $S_1$  とは同じ信号とみなしてよいことになるので、図 2 A に示すようにして、信号  $S_1$  もレベル  $L_{s1}$  であることになる。そして、この信号  $S_1$  を D/A コンバータ 12 によりアナログ信号に変換して得られる信号  $S_2$  のレベルとしては、D/A コンバータ 12 の入出力の誤差ばらつき  
5 つきの量が最小であるとしても、A/D コンバータ 21 の最大値  $L_{2max}$  以下となることはない。この場合に信号  $S_2$  が採り得る最小値は、D/A コンバータ 12 の誤差ばらつき範囲の最小値  $L_{1min}$  だからである。

つまり、図 2 A に示した D/A コンバータ 12 と A/D コンバータ 21 との誤差ばらつきの範囲の設定によっては、D/A コンバータ 12 の  
10 入力信号  $S_1$  を DSP 1 にて許容される最大レベルとしたときに、A/D コンバータ 21 の入力信号  $S_2$  は、確実にオーバーフローが生じるようにされていることになる（但し、第 1 GCA 13 のゲイン値は 1 倍であることを前提とする）。逆の見方をすれば、入力信号  $S_1$  を許容される最大レベルとしたときに、信号  $S_2$  が、A/D コンバータ 21 の実際の  
15 の最大許容入力レベル以下となることは、確実に無いように設定されているものである。つまり、D/A コンバータ 12 の出力が、レンジ不足で A/D コンバータ 21 に入力されることが無いようにしている。

A/D コンバータ 21 の入力段階でレンジ不足が生じると、後段の第 2 GCA 24 によりゲインを上げても、このレンジ不足をキャンセルすること  
20 ことはできない。

上記信号  $S_2$  は、A/D コンバータ 21 によりデジタルのビデオ信号  $S_3$  に変換されるが、この信号  $S_3$  は、A/D コンバータ 21 の誤差ばらつきによる信号レベルの誤差を含んでいることになる。この信号  $S_3$  は、信号処理部 22 を介して信号  $S_4$  として第 2 GCA 24 に入力され  
25 る。ここでは、信号処理部 22 のデジタル信号処理結果による信号レベルの変化は無いものとして考える。つまり、信号処理部 22 におけるゲ

イン値は1倍であるとみなされる。さらに、第2 G C A 2 4 のゲイン値が1倍であることで、上記信号 S 4 と信号 S 5 は、同じ信号であるとみてよい。従って、信号 S 5 は、この場合には信号 S 3 と同じ信号であると見て良いことになる。

- 5      信号 S 3 は、A / D コンバータ 2 1 によりデジタル化された信号であり、かつ、オーバーフローしている信号である。従って、信号 S 3 としては、A / D コンバータ 2 1 の誤差ばらつきの範囲（最大値 L2max - 最大値 L2min）の間において、実際の A / D コンバータ 2 1 の誤差ばらつきに応じて決まるダイナミックレンジ D R の最大レベル（L dr）で張り付いた  
10    状態が得られることになる。

そして、このときには、信号 S 5 も、この信号 S 3 と同じレベルであることになる。信号 S 5 は、図 1 に示したように、マイクロコンピュータ 5 にも入力されている。マイクロコンピュータ 5 は、この信号 S 5 のレベル（データ値）に基づいて、以降のゲイン調整のための制御処理を  
15    実行する。

この初期状態においては、上記もしているように、信号 S 5 はレベル L dr で張り付いた状態となっているのであるが、これは、信号がオーバーフローしている状態を作り出していることを意味している。

- そこで、マイクロコンピュータ 5 によるゲイン調整としては、先ず、  
20    入力される信号 S 5 を監視しながら、この信号 S 5 がレベル L dr より小さくなるまで、第 1 G C A 1 3 に対して設定すべきゲイン値 G 1 を小さくしていく。なお、このゲイン値 G 1 の制御は、マイクロコンピュータ 5 がゲイン値 G 1 を指示する制御信号を出力することによって行う。  
また、確認のために述べておくと、以降においても、第 1 G C A 1 3 に  
25    対する入力信号 S 0 については、最大であるとして規定されるレベル L s1 が維持される。



上記した第1 G C A 1 3に対するゲイン値の設定を、図2 Bに示している。

つまり、第1 G C A 1 3のゲイン値を初期値から小さくしていくことによっては、第1 G C A 1 3から出力される、D/Aコンバータ1 2への入力信号S 1のレベルも低減していくことになる。これに応じて、D/Aコンバータ1 2の出力であり、A/Dコンバータ2 1への入力信号である信号S 2のレベルも低下していく。しかしながら、信号S 2のレベルが、A/Dコンバータ2 1のダイナミックレンジDRの最大値であるレベルL drより大きいとされる状態では、A/Dコンバータ2 1においては過大入力となってオーバーフローが生じる。このとき、信号S 5は、レベルL drで張り付いた状態であることが検出される。

このように、信号S 5は、レベルL drである限りは、オーバーフローが生じていることになるので、マイクロコンピュータ5は、第1 G C A 1 3に設定するゲイン値を小さくしていくように制御を実行する。

そして、このようにしてゲイン値を小さくしていくことにより、或る段階で、図2 Bに示されるようにして、信号S 5 (A/Dコンバータ2 1の出力である信号S 3)は、はじめてレベルL drよりも小さい値を取る状態が得られることになる。このときに第1 G C A 1 3に設定されているゲイン値が、第1 G C A 1 3にとっての最適ゲイン値となる。

つまり、第1 G C A 1 3の後段においてオーバーフロー(レベル飽和)が発生しない範囲内において、ダイナミックレンジDRに対して最大レベルが入力される状態が得られているものである。以降、このときに第1 G C A 1 3に設定されたゲイン値が、第1 G C A 1 3に対して固定設定されることになる。

上記のようにして第1 G C A 1 3のゲイン値の設定が完了した後は、第2 G C A 2 4に対するゲイン設定を行うことになる。第2 G C A 2 4

に対するゲイン設定は、第 1 G C A 1 3 のゲイン値の設定を完了させた状態から開始するようにされる。

ここで、前述もしたように、第 1 G C A 1 3 の感度は、第 2 G C A 2 4 よりも高く設定されているが、これは、同じ設定ゲイン値の変化量に  
5 応答する信号の出力レベルの変化量としてみれば、第 1 G C A 1 3 のほうが第 2 G C A 2 4 よりも大きいことであり、また、換言すればゲイン値可変に  
10 応答した出力レベル変化の分解能としては、第 2 G C A 2 4 のほうが高い、ということの意味する。つまり、図 1 に示すビデオ信号処理系において、第 1 G C A 1 3 は粗調整的なゲイン設定を行い、第 2 G C A 2 4 が微調整的なゲイン設定を行うという役割分担になっている。

このことからすると、第 1 G C A 1 3 のゲイン値の設定が完了した状態では、図 2 B に示すようにして、信号 S 5 は、ダイナミックレンジ D R の最大レベル L dr よりも小さいレベルとなっている。しかしながら、  
15 第 1 G C A 1 3 のゲイン設定の分解能が低いことから、信号 S 5 のレベルとレベル L dr との差は、比較的大きいものとなり得る。

ただし、第 2 G C A 2 4 のゲイン設定の分解能は、第 1 G C A 1 3 と比較して高い。従って、第 2 G C A 2 4 のゲイン設定により、信号 S 5 のレベルについて、レベル L dr に近づけていくようにして、信号 S 5 のレベルとレベル L dr との差をできるだけ少なくするように調整していく  
20 ことが可能であるということになる。このようにすれば、オーバーフロー（レベル飽和）が発生しない範囲内において、入力最大レベルは、ダイナミックレンジ D R に対してより近づくこととなる。つまり、信号そのものとしてのダイナミックレンジがより良好になる。第 2 G C A 2 4 のゲイン設定は、このために行われる。

25 そして、実際の第 2 G C A 2 4 に対するゲイン設定としては、マイクロコンピュータ 5 は、信号 S 5 のレベルを監視しながら、第 2 G C A 2

4 に対して設定すべきゲイン値  $G_2$  を高くしていくようにして制御する。  
この第 2 G C A 2 4 に対するゲイン値  $G_2$  の設定も、マイクロコンピュータ 5 がゲイン値  $G_2$  を指示する制御信号を出力することで行われる。

この第 2 G C A 2 4 に対するゲイン設定は、図 2 C に示される。

- 5 上記のようにして第 2 G C A 2 4 のゲイン値を高く設定していくのに  
応じては、この第 2 G C A 2 4 の出力である信号  $S_5$  のレベルが高くな  
っていくことになる。確認のために述べておくと、第 2 G C A 2 4 の出  
力レベル変化の分解能は、第 1 G C A 1 3 よりも高いことで、例えば 1  
ステップごとの信号  $S_5$  のレベル変化量は、第 1 G C A 1 3 と比較して  
10 小さい。

- そして、或る段階にて、信号  $S_5$  は、図 2 C に示すようにして、ダイ  
ナミックレンジ  $DR$  の最大レベル  $L_{dr}$  と同一とされるレベルに到達する  
ことになる。この状態が、先のゲイン設定についての微調整が完了した  
ことに相当するものであり、概念としては、オーバーフローが発生しな  
15 いレベル範囲において、最大限のダイナミックレンジを確保できた状態  
であることになる。ただし、実際においては、信号  $S_5$  がレベル  $L_{dr}$  と  
完全に同一レベルとなった状態は、ほぼオーバーフローしている状態  
あることになり現実的には好ましくない。そこで、実際においては、信  
号  $S_5$  のレベルとレベル  $L_{dr}$  とが同一となった状態から、1 ステップだ  
20 け第 2 G C A 2 4 のゲイン値を小さく設定して、この 1 ステップのゲイ  
ン値分だけ信号  $S_5$  のレベルがレベル  $L_{dr}$  よりも低くなるようにしてい  
る。そして、以降においては、このようにして第 2 G C A 2 4 に設定さ  
れたゲイン値が、第 2 G C A 2 4 に対して固定設定される。

- 上記図 2 A, B, C により説明したゲイン設定手順に応じた、マイク  
25 ロコンピュータ 5 (CPU) が実行するとされる処理動作を、図 3 のフ  
ローチャートに示す。なお、この図に示す処理が実行される段階におい

ては、図 2 A により説明した、D/A コンバータ 1 2 の誤差ばらつき範囲の最小値  $L1min$  と、A/D コンバータ 2 1 の誤差ばらつき範囲の最大値  $L2max$  との関係設定は既に行われているものである。また、第 1 G C A 1 3 及び第 2 G C A 2 4 のゲイン値  $G 1$  ,  $G 2$  は、それぞれ初期値（例えば 1 倍に対応するゲイン値）がセットされている。

この図に示す処理においては、先ず、ステップ S 1 0 1 により DSP 側の信号レベルが最大となるデータを入力信号として生成する。つまり、例としては先に述べたようにして、DSP 1 の信号処理部 1 1 から出力され、以降の信号処理系への入力信号となる信号 S 0 について、1 0 0 I R E のレベルのデジタルビデオ信号となるように、信号処理部 1 1 に対する制御を実行する。これにより、図 2 A により説明した初期状態が得られる。つまり、信号 S 0 が処理を経て信号 S 5 となる系においては、信号がオーバーフロー（過大レベル）となっている状態が確実に得られているものである。

そして、マイクロコンピュータ 5 は、次のステップ S 1 0 2 において、信号 S 5 のデータ値（レベル） $V S5$  を取り込むようにされる。この処理によって、信号 S 5 のレベル監視が行われることになる。

次のステップ S 1 0 3 においては、上記ステップ S 1 0 2 により取り込んだ信号 S 5 のデータ値  $V S5$  と、予め設定された規定値  $V dr$  とについて、 $V S5 < V dr$  が成立したか否かについての判別を行う。

図 2 A , B , C により説明したように、初期状態においては、信号 S 5 のレベルは、ダイナミックレンジ D R の最大レベル  $L dr$  に張り付いており、レベル  $L dr$  に等しい。上記規定値  $V dr$  としては、基本的には、このレベル  $L dr$  に対応するデータ値となる。ただし、実際においては、DSP 1 などのチップ、デバイスの仕様などに応じて、最良のダイナミックレンジが確保できることを考慮して、レベル  $L dr$  以下に対応する任意

の所定値が設定されてよい。

このステップ S 1 0 3 において、 $V S5 < V_{dr}$  の関係が成立していない、つまり、 $V S5 \geq V_{dr}$  の関係が成立しているとして否定の判別結果が得られた場合であるが、このときには、未だオーバーフローが生じている状態であるということになる。

そこで、この場合にはステップ S 1 0 4 に進んで、第 1 G C A に設定すべきゲイン値 G 1 について 1 ステップ分デクリメントする。この処理が行われる結果、第 1 G C A 1 3 から出力される信号 S 1 は、1 ステップのゲイン値のデクリメントに応じた分、レベルが低減されることになる。ステップ S 1 0 4 の処理が完了したら、ステップ S 1 0 2 に戻るようにされる。このステップ S 1 0 2  $\rightarrow$  S 1 0 3  $\rightarrow$  S 1 0 4 の処理の流れにより、図 2 B にて説明したように、信号のオーバーフローがなくなるまで、第 1 G C A 1 3 に設定するゲイン値を小さくしていくという動作が得られる。

そして、ステップ S 1 0 3 において、 $V S5 < V_{dr}$  の関係が成立したとして肯定の判別結果が得られたとすると、このときにはじめて、図 2 B にて説明したようにして、信号 S 1 が入力される D / A コンバータ 1 2 から、信号 S 5 が出力される第 2 G C A 2 4 までの信号処理系において、オーバーフローが発生していない状態が得られたこととなる。つまり、第 1 G C A 1 3 におけるゲイン値 G 1 が適正に設定されたことになる。そこで、この場合には、ステップ S 1 0 5 以降における第 2 G C A 2 4 のゲイン設定のための処理に移行するようにされる。以降、第 1 G C A 1 3 に対するゲイン値 G 1 の可変設定は行われなものであり、これにより、第 1 G C A 1 3 のゲイン値 G 1 は固定設定されたことになる。

第 2 G C A 2 4 に対するゲイン設定処理としては、先ず、ステップ S 1 0 5 によりゲイン値 G 2 を 1 ステップ分インクリメントする。これに



より、第2 G C A 2 4 から出力される信号 S 5 は、1 ステップ分のゲイン値 G 2 の増加に応じて、そのレベルも高くなる。

次のステップ S 1 0 6 においては、先のステップ S 1 0 2 と同様にして、信号 S 5 のデータ値 V S5 を取り込むようにされる。そして、続くステップ S 1 0 7 において、このデータ値 V S5 と、規定値 V dr とについて、  
5 V S5  $\geq$  V dr の関係が成立したか否かについて判別する。ここで、V S5  $\geq$  V dr の関係が成立しておらず、データ値 V S5 が規定値 V dr 未満であるとして否定の判別結果が得られた場合には、第2 G C A 2 4 のゲインについて高く設定する余地があるということになる。そこで、この場合には  
10 ステップ S 1 0 8 に進んで、ゲイン値 G 2 を1 ステップ分インクリメントして、ステップ S 1 0 6 の処理に戻るようになされる。このステップ S 1 0 6  $\rightarrow$  S 1 0 7  $\rightarrow$  S 1 0 8 の処理の流れにより、最大限のダイナミックレンジが得られるように追い込んでいくためのゲインの微調整が行われることとなる。

15 そして、ステップ S 1 0 7 において肯定結果が得られたとされると、ここではじめて、例えば図 2 C にて説明したように、信号 S 5 としては、ダイナミックレンジ D R の最大レベル L dr と同一とされるレベルに到達したとみなされることになる。そこで、この場合にはステップ S 1 0 9 の処理に進むようになされる。

20 ステップ S 1 0 9 においては、ゲイン値 G 2 について1 ステップ分デクリメントする。

この処理は、前述したように、1 ステップのゲイン値分だけ、信号 S 5 のレベルが小さくなるようにして、確実にオーバーフローしないとされる状態を得るために行われる。ステップ S 1 0 9 の処理が終了したら、  
25 この図に示すゲイン設定の処理が終了されることになる。これにより、以降においては、第2 G C A 2 4 のゲイン値も、最後の値により固定設

定されることになる。

ところで、上記図 2 A, B, C 及び図 3 による説明は、信号処理ブロック 4 内の信号処理部 2 2 における信号処理によって信号に与えられるゲイン（信号処理ゲイン）は 1 倍であり、従って、信号処理系における  
5 ゲインコントロールに関しては、信号処理部 2 2 はパスされたものと等価であることを前提としている。

しかしながら、実際のこととして、信号処理の種類などによっては、処理後の信号にゲインが与えられて信号そのもののレベルが変化していることも当然あり得るもので、従って、信号処理部 2 2 としても、信号  
10 にゲインを与えることとなる信号処理を実行する構成を採る場合もあり得る、ということになる。

そこで、続いては、第 2 の実施の形態として、信号処理部 2 2 が 1 倍以外の信号処理ゲインを処理対象の信号に与える構成とされている場合に対応した、本実施の形態のゲイン設定について説明する。

15 この第 2 の実施の形態としてのゲイン設定の手順例を図 4 A, B, C, D に示す。

この場合にも、準備段階として、図 4 A に示すようにして、D/A コンバータ 1 2 の誤差ばらつきの範囲と、A/D コンバータ 2 1 の誤差ばらつきの範囲の関係として、D/A コンバータ 1 2 の最小値  $L1min$  について、A/D コンバータ 2 1 の最大値  $L2max$  以上、若しくは最大値  $L2max$  よりも高い値となるように設定する。  
20

また、第 1 G C A 1 3 に対する入力信号  $S_0$  について、DSP 1 が扱う信号レベルとして最大であると規定されるレベル  $L_{s1}$ （例えば 100 I R E）に対応するデータ値を設定する点も同様である。さらに、第 1  
25 G C A 1 3, 及び第 2 G C A についても、ともに初期値として 1 倍のゲインを設定しておくようにされる。これにより、初期的には、第 1 G C

A 1 3, 及び第 2 G C A がそれぞれ 1 倍のゲインとなっている (スルーしているのと等価の) 状態下で、信号が確実にオーバーフローする状態を得る。

また、ここでは信号処理部 2 2 における信号処理ゲインのゲイン値 ( $\times n$ ) としては  $n = 0 \sim 2$  であることとする。この場合、最大のゲイン値としては 2 倍となるが、図 4 A においては、信号処理部 2 2 の入力信号 S 3 と、その出力である信号 S 4 とのレベル関係として、信号処理部 2 2 における信号処理ゲインのゲイン値が、最大の 2 倍である場合を示している。この場合において、信号 S 3 が、ダイナミックレンジ D R の最大レベル  $L_{dr}$  であったとすると、信号 S 4 は、その 2 倍のレベル  $L_{sp}$  となることが示されている。また、この場合には、第 2 G C A 2 4 のゲイン値  $G_2$  は初期値の 1 倍に対応する値が設定されているので、第 2 G C A 2 4 の出力である信号 S 5 も、信号 S 4 と同レベルとなる。

さらに、この場合においては、初期状態として、図 4 B に示すようにして、信号処理部 2 2 における信号処理ゲインのゲイン値について、1 倍 ( $n = 1$ ) となるように制御する。第 1 G C A 1 3 のゲイン設定を行うのにあたっては、先の実施の形態と同様にして、第 2 G C A 2 4 に入力される信号 S 4 としては、A/D コンバータ 2 1 の出力である信号 S 3 と同じレベル応答であることが必要となる。このときに、信号処理部 2 2 における信号処理ゲインのゲイン値が 1 倍以外の値であると、信号 S 4 のレベル応答は、信号 S 3 とは異なるものとなる。

そこで、信号処理部 2 2 における信号処理ゲインのゲイン値を 1 倍に設定することで、同じ図 4 B に示すようにして、信号処理部 2 2 の出力である信号 S 4 (S 5) は、信号処理部 2 2 の入力である信号 S 3 と同レベルとすることになる。なお、このときには、先の第 1 の実施の形態と同様にして、オーバーフロー (過大入力) の状態が発生しているので、

信号 S 3、S 4、S 5 は、レベル L<sub>dr</sub>で張り付いた状態になっている。

上記のようにして、信号処理部 2 2 の信号処理ゲインのゲイン値について 1 倍を設定したことで、図 1 に示す信号処理系全体としてみた場合のゲイン設定状態としては、先の図 2 A、B、C 及び図 3 の説明の場合  
5 と等価であることになる。

そして、この状態の下、マイクロコンピュータ 5 により信号 S 5 のレベル（データ値）を監視して、図 4 C に示すようにして、信号 S 5 がレベル L<sub>dr</sub>より小さくなるまで、第 1 G C A 1 3 のゲイン値 G 1 を初期値から小さくしていく。つまり、先の第 1 の実施の形態において図 2 B に  
10 より説明したのと同様の、第 1 G C A 1 3 に対するゲイン設定を完了させる。

続いては、第 2 G C A 2 4 のゲイン設定となるのであるが、この第 2 G C A 2 4 のゲイン設定に関しては、直ぐ前段の信号処理部 2 2 における信号処理ゲインを考慮すべき必要があることになる。つまり、この場合  
15 合には、信号処理部 2 2 の信号処理ゲインが最大値となるときの最大信号レベルに基づいて、同じ信号処理ブロック 4 内の D/A コンバータ 2 3 のダイナミックレンジが設定されているからであり、第 2 G C A 2 4 としては、この D/A コンバータ 2 3 のダイナミックレンジが最大限に利用できるようにして、第 2 G C A 2 4 のゲイン値を設定する必要がある  
20 ことからである。

このために、第 2 G C A 2 4 のゲイン設定を行うのにあたっては、図 4 D に示すようにして、信号処理部 2 2 の信号処理ゲインについて 2 倍を設定する。つまり、最大値を設定する。

これにより、信号処理部 2 2 の入力信号である信号 S 3 に対して、その出力信号である信号 S 4 は、2 倍に対応するレベルを有することになる。  
25 この場合、信号 3 は、第 1 G C A 1 3 のゲイン設定が完了したこと

で、例えばダイナミックレンジDRの最大レベル（規定値） $L_{dr}$ よりも小さい値となっている。これに応じて、信号S4のレベルは、ダイナミックレンジDRの最大レベル $L_{dr}$ のちょうど2倍に対応するレベル $L_{sp}$ に近いものの、より小さい値として得られる。

- 5      このような状態とした後、マイクロコンピュータ5は、信号S5のレベルが、上記レベル $L_{sp}$ と同じとなるまで、第2GCA24に設定するゲイン値G2を高くしていくようにされる。

- 10      そして、信号S5のレベルがレベル $L_{sp}$ と同じレベルになったとされると、概念的にはオーバーフローが発生しないレベル範囲において、最大のダイナミックレンジを確保できた状態ということになる。ただし、この場合においても、実際としては、信号S5のレベルとレベル $L_{sp}$ とが同一となった状態から、1ステップだけ第2GCA24のゲイン値を小さく設定して、この1ステップのゲイン値分だけ信号S5のレベルをレベル $L_{sp}$ よりも小さくしており、現実にはオーバーフローが発生するのを回避している。

図5のフローチャートは、上記図4A, B, C, Dにより説明したゲイン設定手順に応じた、マイクロコンピュータ5（CPU）が実行するとされる処理動作を示している。

- 20      この図に示される処理として、ステップS201～S205において、ステップS202以外の処理は、それぞれ、先の第1の実施の形態における処理動作である、図3のステップS101～S104と同様の処理となる。ステップS202の処理は、図4Bにより説明したように、第1GCA13のゲイン設定を行うのにあたり、信号S4（S5）のレベルを、信号S3と同じとするために実行される。

- 25      そして、ステップS204において肯定の判別結果が得られたとされると、ステップS206以降の第2GCA24のゲイン設定のための処



理シーケンスに移行することとなり、この段階で、第1 G C A 1 3 のゲイン設定が完了したこととなる。

ステップ S 2 0 6 では、信号処理部 2 2 の信号処理ゲインのゲイン値を最大値  $G_{spmax}$  に設定する。ここでゲイン値を、そのままゲインとしての  
5 倍数 (n) としてあつかうこととすれば、図 4 A, B, C, D の例では、 $G_{spmax} = 2$  であることになる。

上記ステップ S 2 0 6 に続く、ステップ S 2 0 7 ~ ステップ S 2 1 1 の処理としては、それぞれ、先の実施の形態に対応する図 3 のステップ S 1 0 6 ~ ステップ S 1 0 9 の処理と同様となる。

10  ただし、ステップ S 2 0 9 における、信号 S 5 のデータ値  $V_{S5}$  と規定値  $V_{dr}$  との関係の判別としては、信号処理部 2 2 のゲイン値について最大値  $G_{spmax}$  が設定されていることから、

$$V_{S5} \geq V_{dr} \times G_{spmax}$$

が成立するか否かについての判別を行うこととしている。これにより、  
15  図 4 D により説明したようにして、信号 S 5 が、レベル  $L_{sp}$  と同じ（実際にはステップ S 2 1 0 の処理により 1 ステップのゲイン値分だけレベル  $L_{sp}$  より小さいレベルとなる）とされることになる。なお、図 4 D は、レベル  $L_{dr}$  に対応するデータ値を規定値  $V_{dr}$  としている場合の例となる。  
このようにして、ステップ S 2 1 1 までの処理が実行されることで、先  
20  の第 1 G C A 1 3、及び第 2 G C A 2 4 のゲイン設定が完了したことになる。

なお、本発明としては、これまでに説明した実施の形態としての構成のみに限定されるものではない。

また、例えば D S P 1 の後段に対して、複数の信号処理ブロックが並  
25  列的に接続されたような場合にも適用できる。つまり、実施の形態として説明した第 1 G C A 1 3 のゲイン設定を一度行った後に、順次、後段

において並列接続された信号処理ブロックごとに第2 G C Aのゲイン設定を行うようにすればよい。

また、例えば、これまで説明した実施の形態においては、図1に示したようにしてD S P 1に対して1つの信号処理ブロック4を追加した例を示しているが、本発明としては、例えばD S P 1ー信号処理ブロック4の後段に対して、さらに直列的に信号処理ブロックが接続されたような構成についても適用することが考えられる。

また、上記実施の形態では、本発明に基づく信号処理装置を備える機器として画像表示装置を例に挙げているが、画像表示装置としては、L C Dの他にも、プラズマディスプレイや陰極線表示管などの表示デバイスを採用する構成とされて構わない。また、デジタルビデオ信号処理を実行する機器としては、例えば録画機器やD V D (Digital Versatile Disc)プレーヤなどをはじめとして各種知られており、これらの機器に本発明は適用可能である。

さらに、上記実施の形態では、ビデオ信号を対象とするゲイン設定を例に挙げているが、例えばオーディオ信号をはじめとした、他の形式の信号についてデジタル信号処理を実行する構成に適用することも可能である。

## 20 産業上の利用可能性

このようにして本発明は、デジタル信号処理を実行する2つの部位の間でアナログ信号形式で信号の入出力を行うような場合において、内部のD/A変換機能、A/D変換機能における信号レベルの誤差ばらつきによりダイナミックレンジが不適切な状態となることの問題を解消しているものであり、これにより、例えば信号の再生出力結果について、これまでよりも良好で高品質なものとするのが可能となるものである。

## 請 求 の 範 囲

1. 第1のデジタル信号処理部と、第2のデジタル信号処理部を有して、

5 上記第1のデジタル信号処理部は、

所定のデジタル信号処理が施されたデジタル信号が入力され、設定されたゲイン値に応じたゲインを与えて出力する第1のゲイン調整手段と、

上記第1ゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、上記第1のデジタル信号処理部から出力する第1のデジタ

10 ルーアナログ変換手段と、を備え、

上記第2のデジタル信号処理部は、

上記第1のデジタル信号処理部の上記デジタルルーアナログ変換手段から出力されるアナログ信号をデジタル信号に変換するアナログーデジタル変換手段と、

15 上記アナログーデジタル変換手段から出力されるデジタル信号について所定のデジタル信号処理を施すデジタル信号処理手段と、

上記デジタル信号処理手段から出力されるデジタル信号が入力され、設定されたゲイン値に応じたゲインを与えて出力するもので、上記第1のゲイン調整手段よりも低いゲイン感度が設定される第2のゲイン調整

20 手段と、

上記第2のゲイン調整手段から出力されるデジタル信号をアナログ信号に変換して、上記第2のデジタル信号処理部から出力する第2のデジタルルーアナログ変換手段と、を備えるとともに、

25 上記第1のデジタルルーアナログ変換手段と、上記アナログーデジタル変換手段は、上記第1のデジタルルーアナログ変換手段における信号レベルの誤差ばらつき範囲の最小値が、上記アナログーデジタル変換手段に

おける信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるようにして設定されており、

さらに、上記第2のゲイン調整手段から出力されるデジタル信号のレベル値を検出する検出手段と、

5      上記第1のデジタル信号処理部において最大値として扱われるレベルの信号を上記第1のゲイン調整手段に対して入力させた状態のもとで、上記検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第1のゲイン調整手段に対してゲイン値を設定する第1のゲイン設定手段と、

10      上記第1のゲイン設定手段によるゲイン値の設定が完了した後において、上記第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、上記検出手段により検出されるレベル値が規定値以下の範囲で最大値となるようにして、上記第2のゲイン調整手段に対してゲイン値を設定する第2のゲイン設定手段と  
15      を備える、

ことを特徴とする信号処理装置。

2.      上記デジタル信号処理手段においてデジタル信号のゲインが可変される場合において、

20      上記第1のゲイン設定手段は、上記第1のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させるとともに、上記デジタル信号処理手段において最大のゲイン値となるようにした状態のもとで、上記検出手段により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第1ゲイン調整手段に対してゲイン値を設定するようにされ、

25      上記第2のゲイン設定手段は、上記第1のゲイン設定手段によるゲイン値の設定が完了した後において、上記第1のデジタル信号処理部に対

して所定の最大値として扱われるレベルの信号を入力させるとともに、  
上記デジタル信号処理手段において1倍のゲイン値となるようにした状  
態のもとで、上記検出手段により検出されるレベル値が規定値以下の範  
囲で最大値となるようにして、上記第2ゲイン調整手段に対してゲイン  
5 値を設定するようにされている、

ことを特徴とする請求項1に記載の信号処理装置。

3. 第1のデジタル信号処理と、第2のデジタル信号処理を実行する  
ものとされ、

上記第1のデジタル信号処理は、

10 所定のデジタル信号処理が施されたデジタル信号が入力され、設定さ  
れたゲイン値に応じたゲインを与える第1のゲイン調整手順と、

上記第1ゲイン調整手順により得られるデジタル信号をアナログ信号  
に変換して、上記第1のデジタル信号処理の出力とする第1のデジタル  
ーアナログ変換手順とを含み、

15 上記第2のデジタル信号処理は、

上記第1のデジタル信号処理に含まれる上記デジタルーアナログ変換  
手順により得られるアナログ信号をデジタル信号に変換するアナログ  
ーデジタル変換手順と、

20 上記アナログーデジタル変換手順により得られるデジタル信号につい  
て所定のデジタル信号処理を施すデジタル信号処理手順と、

上記デジタル信号処理手順により得られるデジタル信号が入力され、  
設定されたゲイン値に応じて、上記第1のゲイン調整手段より低いゲイ  
ン感度によりゲインを与える第2のゲイン調整手順と、

25 上記第2のゲイン調整手順により得られるデジタル信号をアナログ信  
号に変換して、上記第2のデジタル信号処理部から出力する第2のデジ  
タルーアナログ変換手順と、を含むとともに、



さらに、上記第 1 のデジタルーアナログ変換手順に対応するデバイスにおける信号レベルの誤差ばらつき範囲の最小値が、上記アナログーデジタル変換手順に対応するデバイスのける信号レベルの誤差ばらつき範囲の最大値以上となる関係が得られるように設定する設定手順と、

- 5     上記第 2 のゲイン調整手順により得られるデジタル信号のレベル値を検出する検出手順と、

- 10    上記第 1 のデジタル信号処理において最大値として扱われるレベルの信号を上記第 1 のゲイン調整手順に対して入力させた状態のもとで、上記検出手順により検出されるレベル値が規定値未満の範囲で最大値となるようにして、上記第 1 のゲイン調整手順に対してゲイン値を設定する第 1 のゲイン設定手順と、

- 15    上記第 1 のゲイン設定手順によるゲイン値の設定が完了した後において、上記第 1 のデジタル信号処理部に対して所定の最大値として扱われるレベルの信号を入力させた状態のもとで、上記検出手順により検出されるレベル値が規定値以下の範囲で最大値となるようにして、上記第 2 のゲイン調整手順に対してゲイン値を設定する第 2 のゲイン設定手順と、  
      を実行するようにされていることを特徴とする信号処理方法。

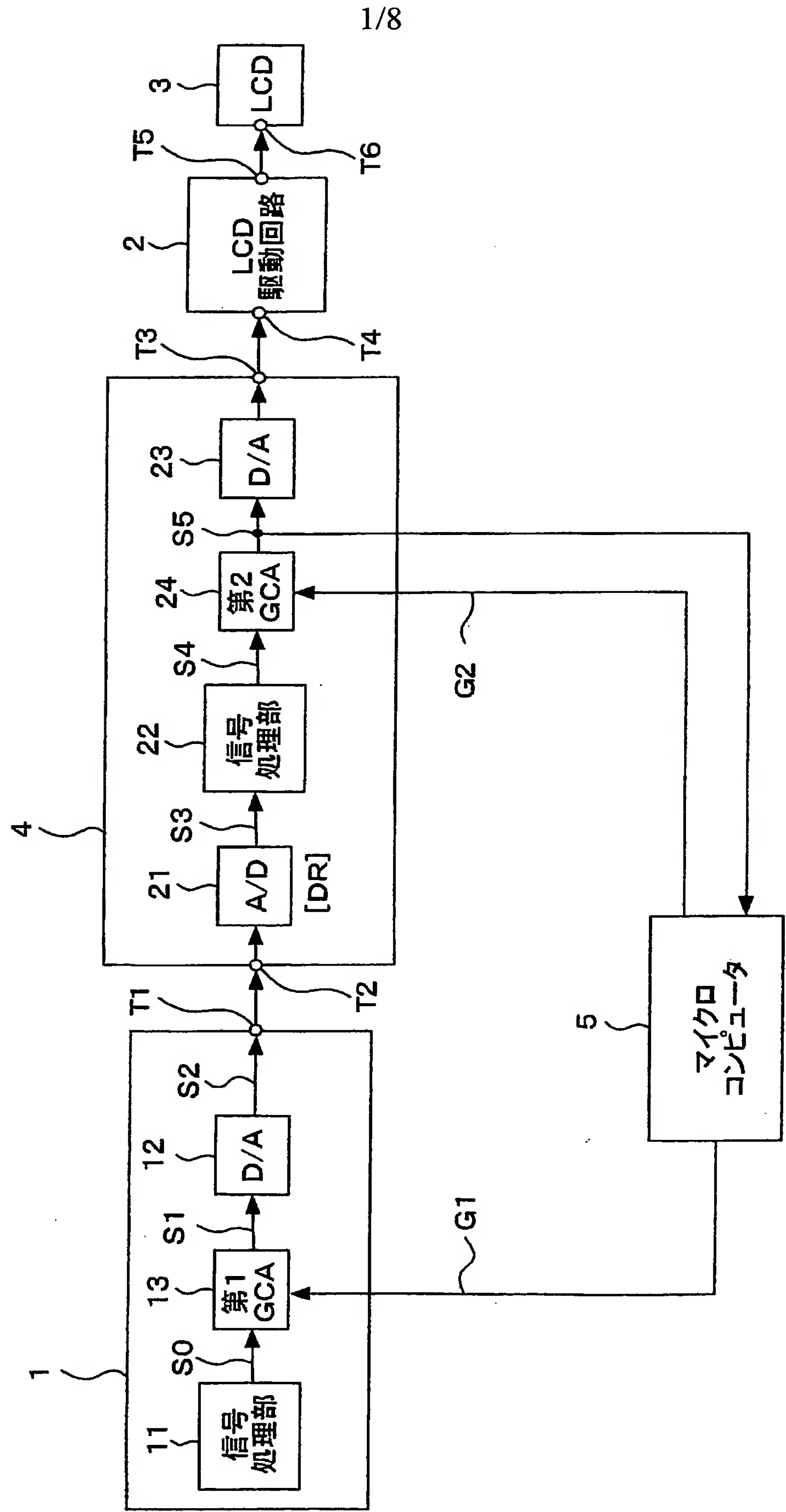


Fig.1

**THIS PAGE BLANK (USPTO)**

2/8

Fig.2A

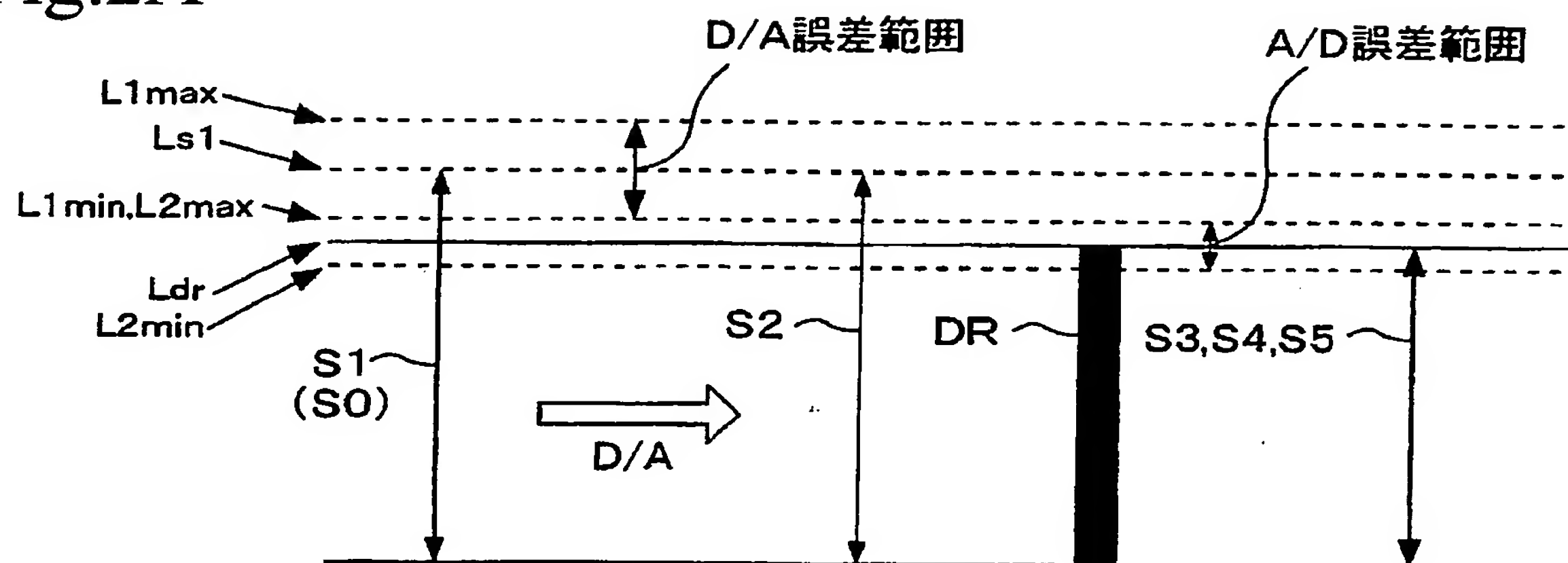


Fig.2B

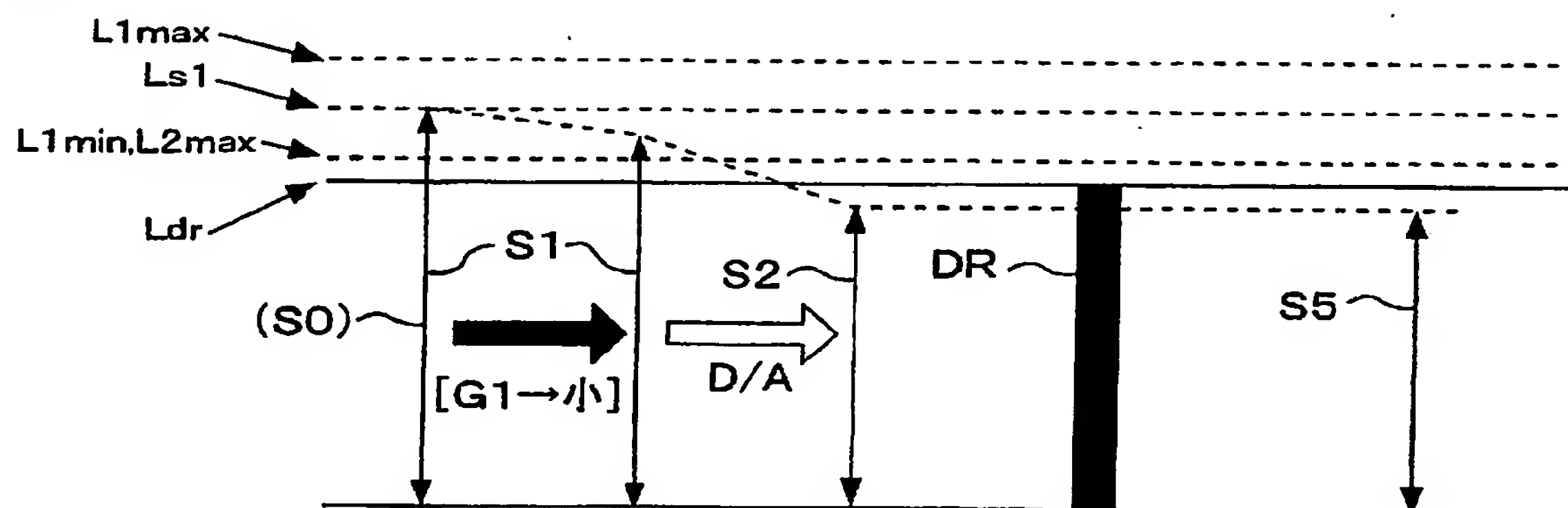
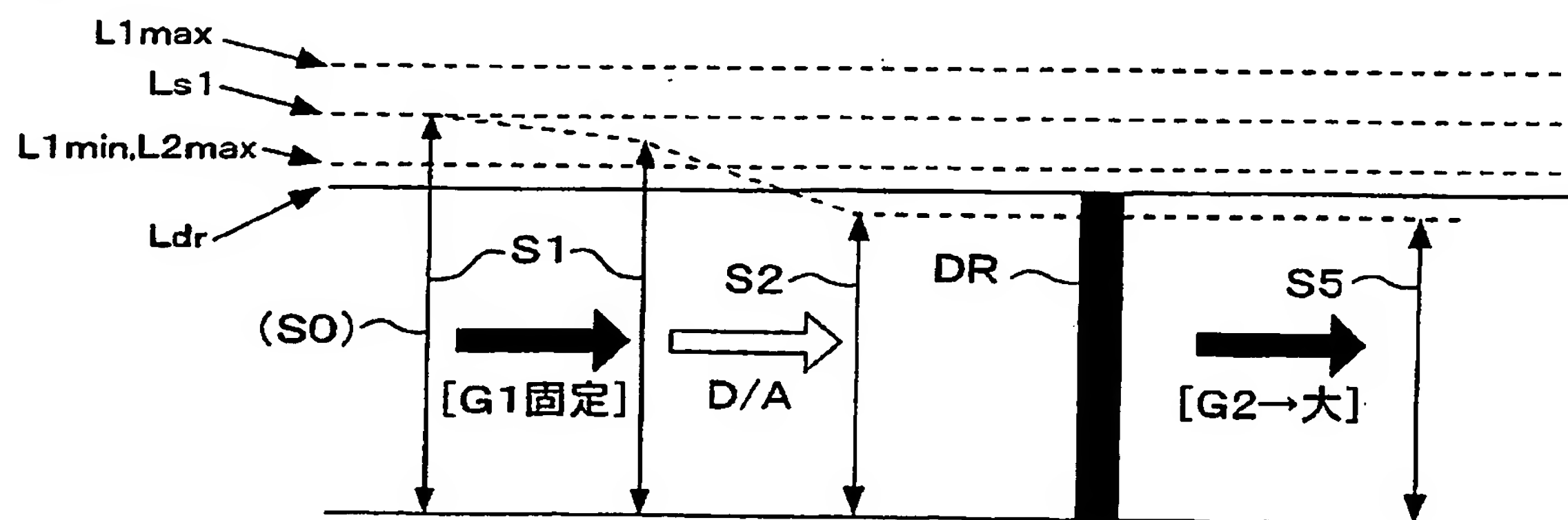


Fig.2C



**THIS PAGE BLANK (USPTO)**



3/8

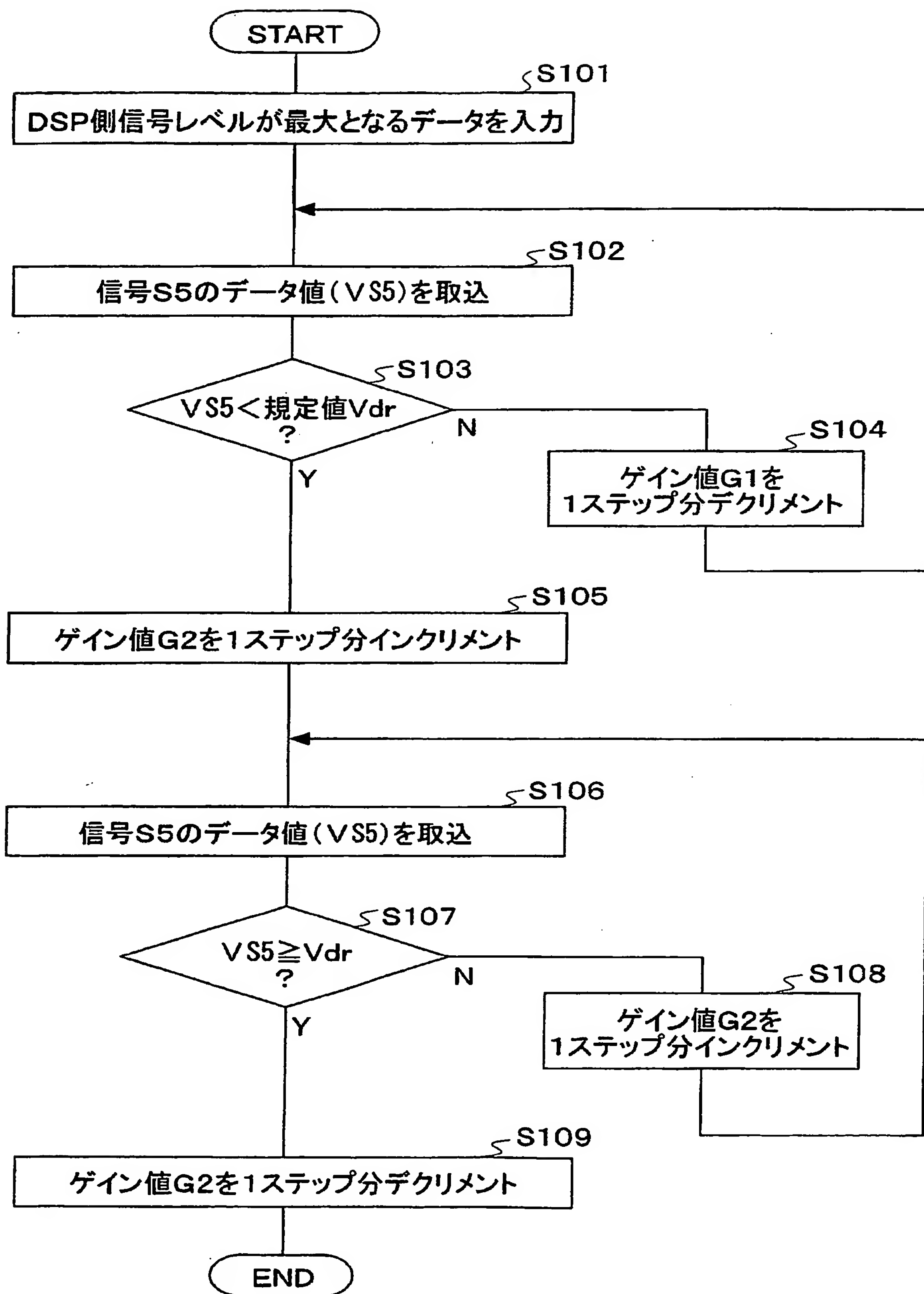


Fig.3

**THIS PAGE BLANK (USPTO)**

Fig.4A

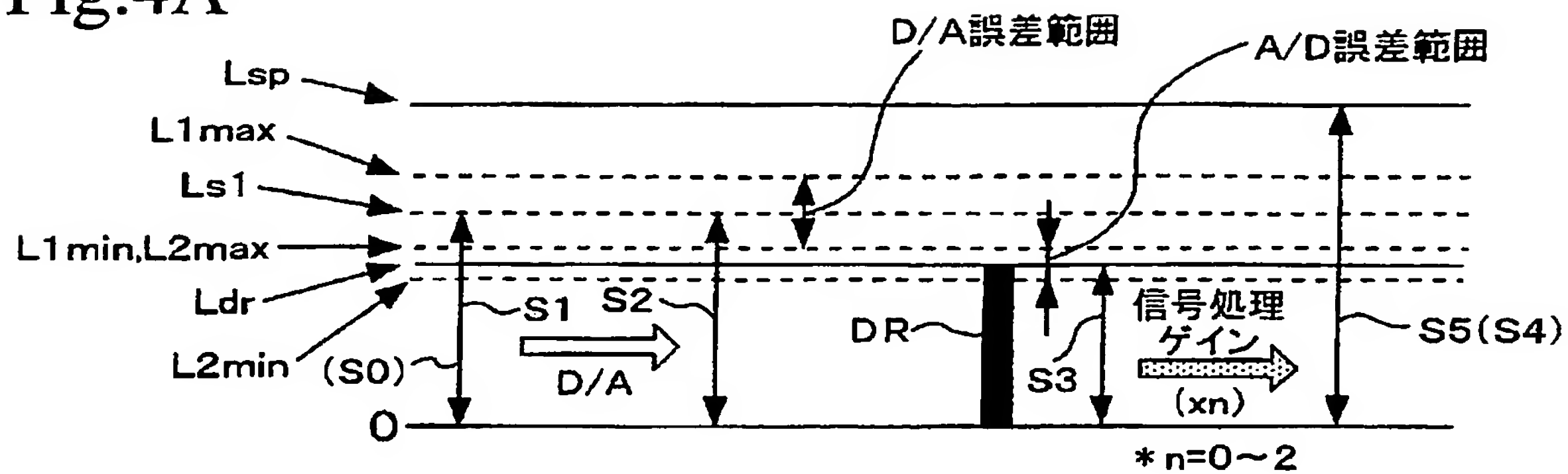


Fig.4B

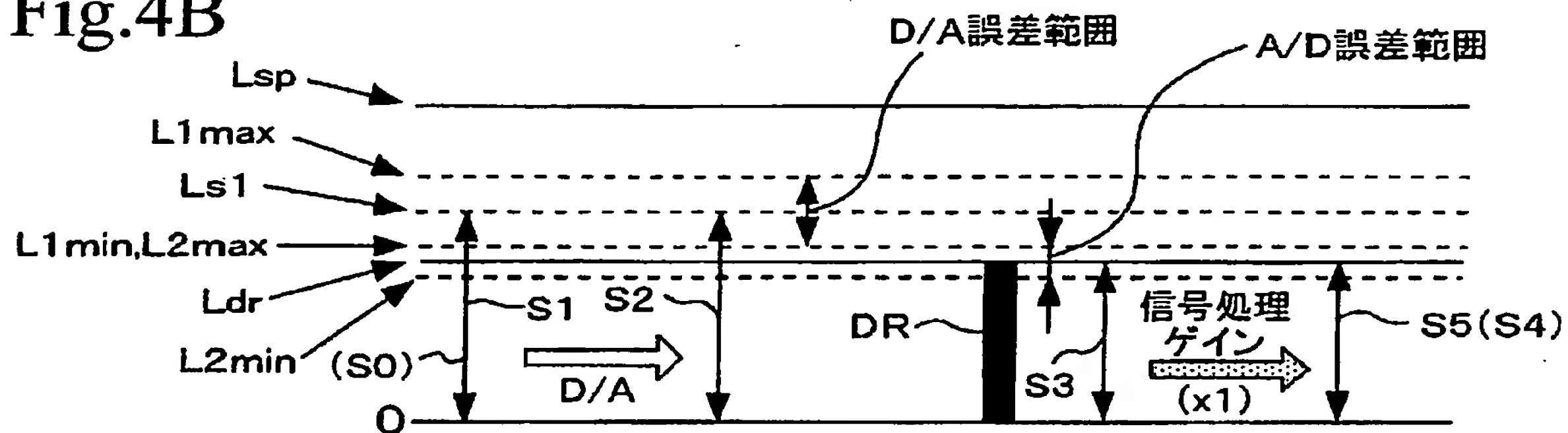


Fig.4C

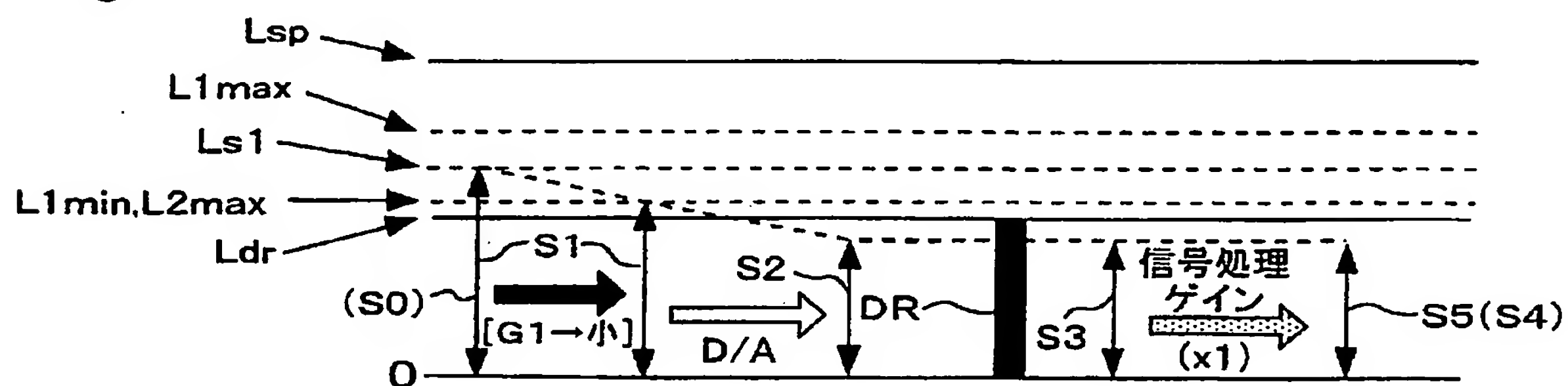
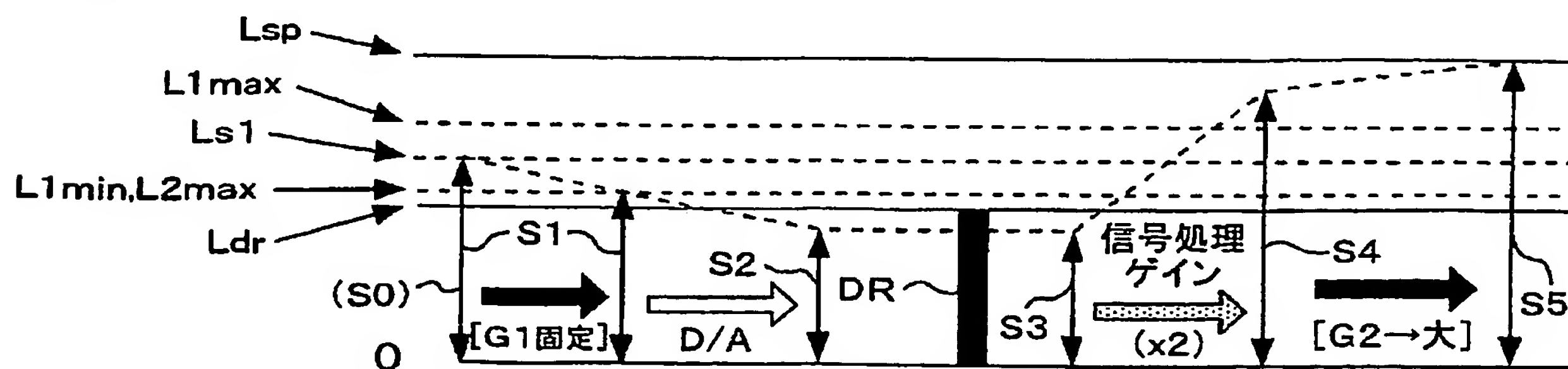


Fig.4D



**THIS PAGE BLANK (USPTO)**

5/8

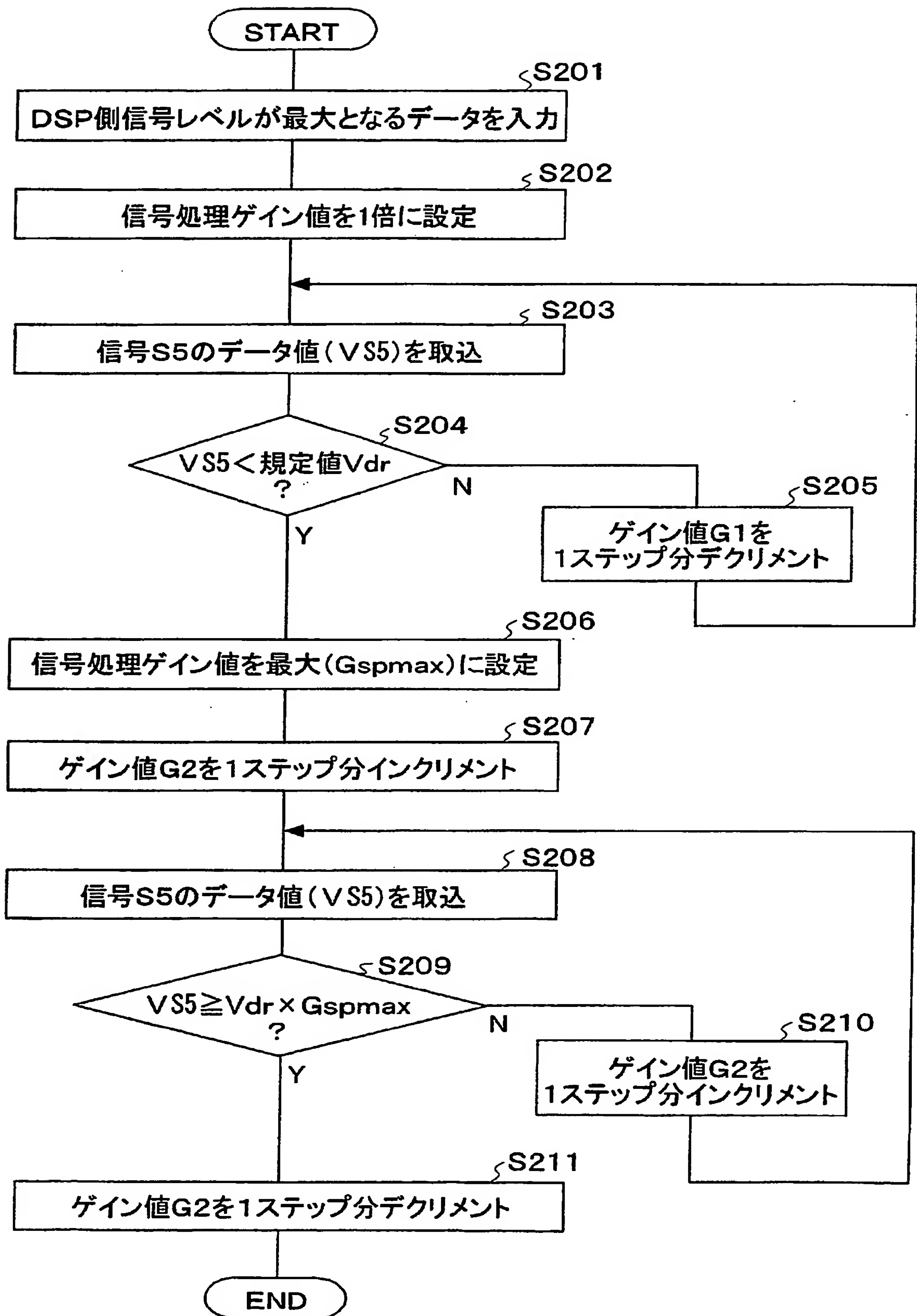


Fig.5



**THIS PAGE BLANK (USPTO)**

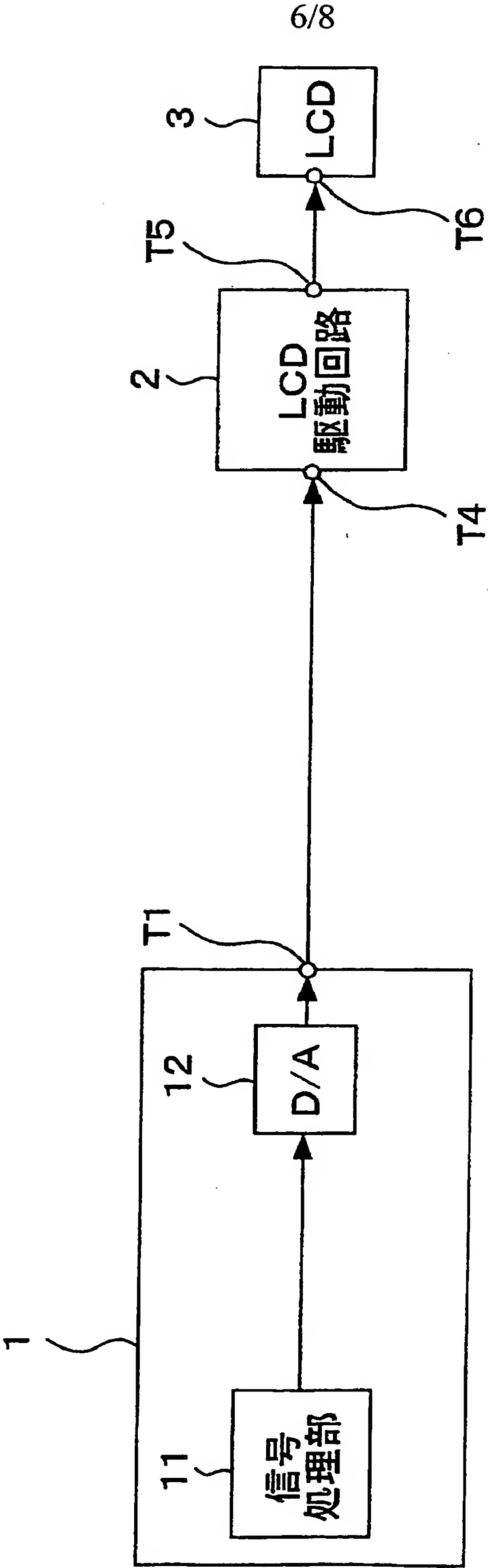


Fig.6

**THIS PAGE BLANK (USPTO)**

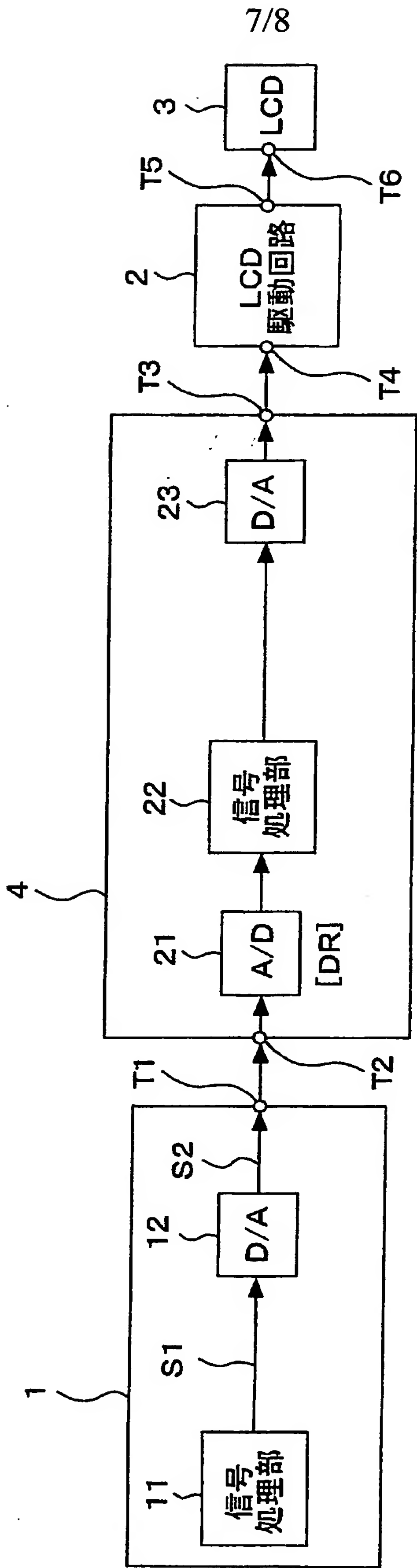


Fig.7

**THIS PAGE BLANK (USPTO)**



Fig.8A

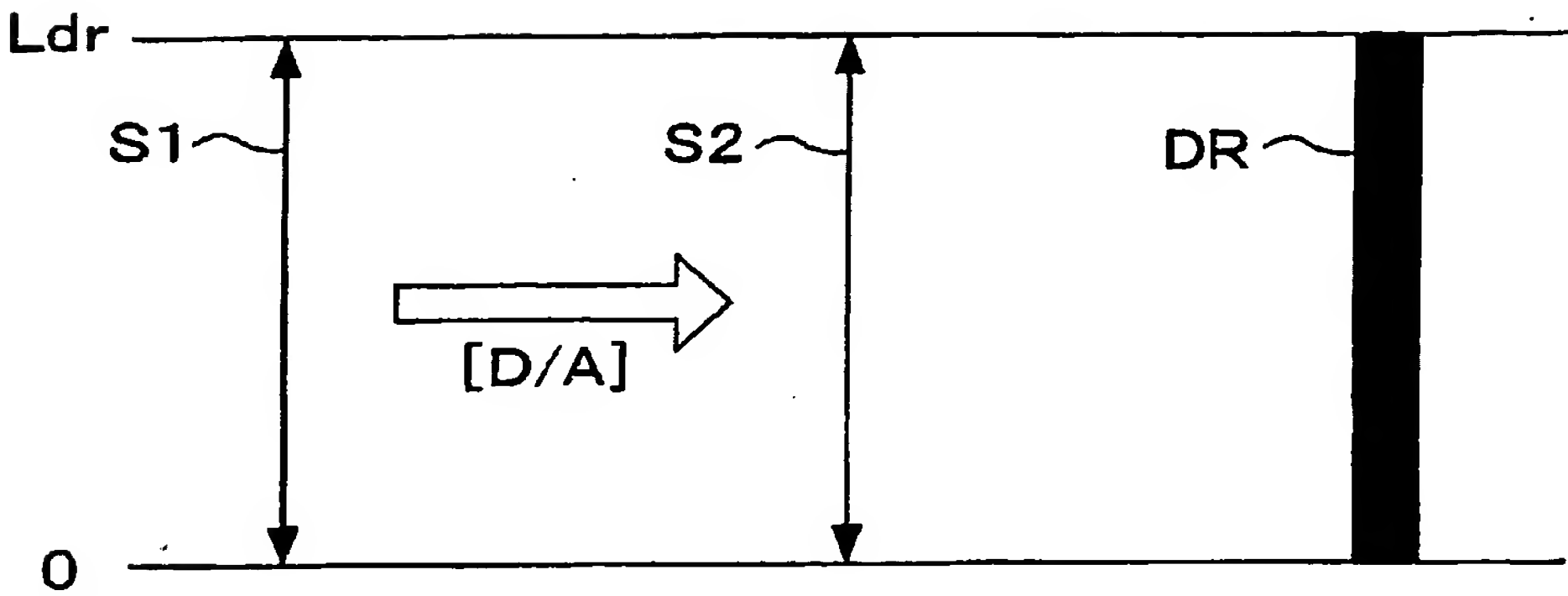


Fig.8B

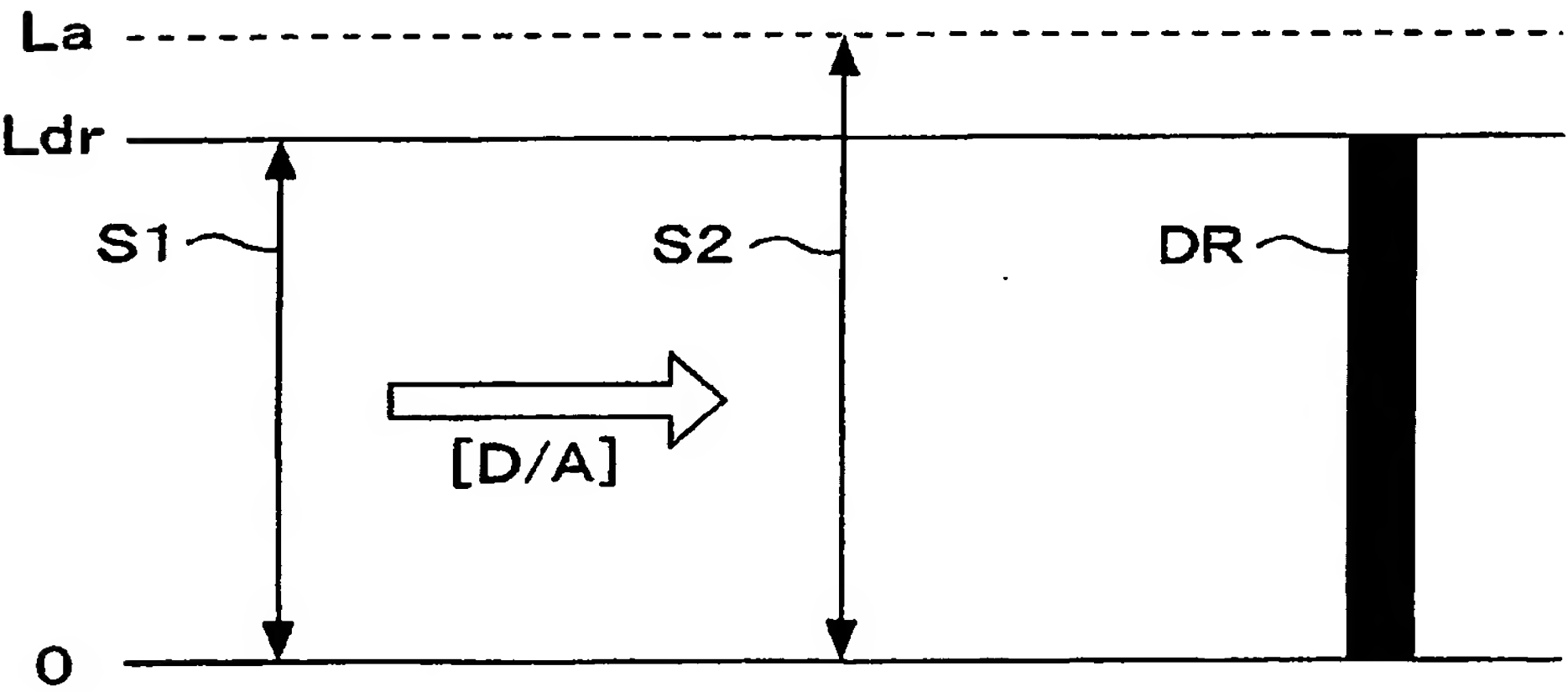
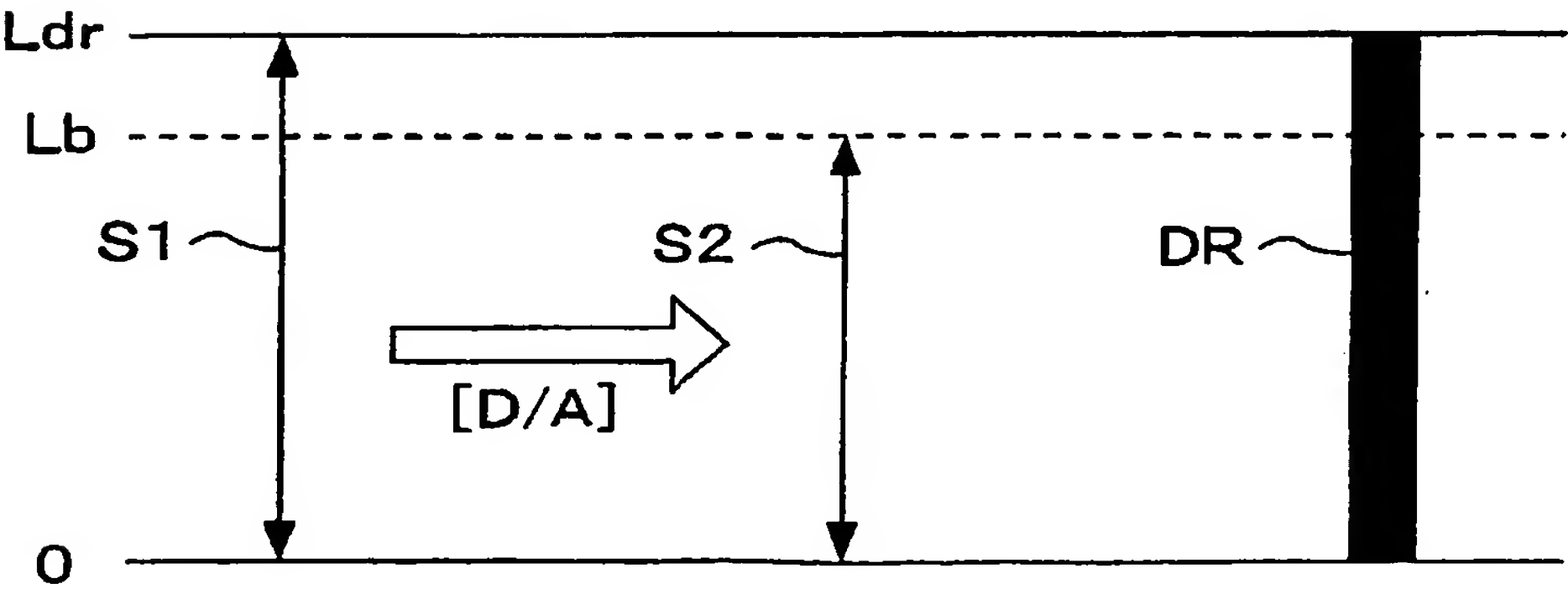


Fig.8C



**THIS PAGE BLANK (USPTO)**

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011879

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.<sup>7</sup> H04N5/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.<sup>7</sup> H04N5/14-5/217

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-316087 A (Ricoh Co., Ltd.), 14 November, 2000 (14.11.00), Par. Nos. [0021] to [0025] (Family: none)	1-3
A	JP 2003-271103 A (Matsushita Electric Industrial Co., Ltd.), 25 September, 2003 (25.09.03), Par. Nos. [0029] to [0045] (Family: none)	1-3
A	JP 4-219023 A (Siemens AG.), 10 August, 1992 (10.08.92), Par. Nos. [0019] to [0020] & EP 444233 A1	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"(O)" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

01 August, 2005 (01.08.05)

Date of mailing of the international search report

16 August, 2005 (16.08.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/011879

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-181886 A (Matsushita Electric Industrial Co., Ltd.), 12 July, 1996 (12.07.96), Par. Nos. [0010] to [0020] (Family: none)	1-3
A	JP 2003-188727 A (Sanyo Electric Co., Ltd.), 04 July, 2003 (04.07.03), Full text & US 2003/6926 A1	1-3
A	JP 9-245433 A (Sony Corp.), 19 September, 1997 (19.09.97), Full text (Family: none)	1-3

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H04N5/14

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H04N5/14-5/217

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-316087 A (株式会社リコー) 2000.11.14 【0021】-【0025】 (ファミリーなし)	1-3
A	JP 2003-271103 A (松下電器産業株式会社) 2003.09.25 【0029】 - 【0045】 (ファミリーなし)	1-3
A	JP 4-219023 A (シーメンス アクチエンゲゼルシャフト) 1992.08.10 【0019】 - 【0020】 & EP 444233 A1	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

01.08.2005

国際調査報告の発送日

16.08.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

松永 隆志

電話番号 03-3581-1101 内線 3581

5P

4228

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-181886 A (松下電器産業株式会社) 1996. 07. 12 【0010】 - 【0020】 (ファミリーなし)	1-3
A	JP 2003-188727 A (三洋電機株式会社) 2003. 07. 04 全文 & US 2003/6926 A1	1-3
A	JP 9-245433 A (ソニー株式会社) 1997. 09. 19 全文 (ファミ リーなし)	1-3



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**